

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-011668

(43)Date of publication of application : 14.01.2000

(51)Int.Cl.

G11C 16/02

G11C 16/06

(21)Application number : 10-170135

(71)Applicant : OKI MICRO DESIGN:KK
OKI ELECTRIC IND CO LTD

(22)Date of filing : 17.06.1998

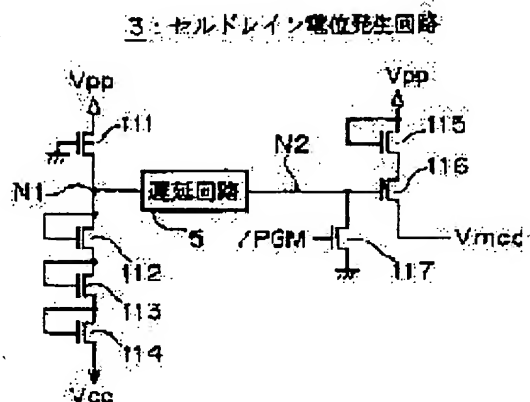
(72)Inventor : NAGATOMO MASAHIKO

(54) DATA WRITING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a data writing circuit capable of stably writing predetermined data into a memory cell to be selected, while preventing wrong data from being written into a non-selected memory cell.

SOLUTION: A cell drain potential generating circuit 3 is composed of one P-channel transistor 111, six N-channel transistors 112, 113, 114, 115, 116, 117, and a delay circuit 5. A node N1 is connected to an input-side of the delay circuit, and a potential generated at the node N1 is delayed by a predetermined time period and then supplied to a node N2 at an output-side. A cell drain potential V_{mcd} as an output of the cell drain potential generating circuit is to be output from a source electrode of the N-channel transistor 116 controlled by the delay circuit. According to the above-mentioned configuration, the cell drain potential V_{mcd} is allowed to gently rise to a writing potential V_{pp}.



LEGAL STATUS

[Date of request for examination]

04.02.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

電極には、書き込み電位Vpp（例えば、10 V）が印
加され、ゲート電極には、グラウンド電位GNDが印加さ
れており、ドレイン電極はノードN101に接続されて
いる。Nチャネル型トランジスタ112、113、11
4は、直列3段のタイオウバースタ構成を構成しており、1段
目のカソードにはノードN101が接続され、3段目のア
ノードには電源電位Vcc（例えば、4 V）が印加さ
れている。すなわち、Nチャネル型トランジスタ11
2、113、114は、基準電位発生回路としての役割
を果たすものである。また、Nチャネル型トランジスタとしての特徴

115は、ダイオード構成を成すものであり、カソード
となるドレイン電極およびゲート電極には書き込み電位
Vpnが印加され、アナードとなるソース電極には、N
チャネル型トランジスタ116のドレイン電極が接続さ
れている。また、Nチャネル型トランジスタ117は、
そのドレイン電極がノードN101に接続され、ソース
電極にはグラウンド電位GNDが印加され、ゲート電極に
入力される書き込み制御信号PGMIによってオン/オフ
制御される。そして、Nチャネル型トランジスタ11
6のゲート電極は、ノードN101が接続されており、
セパレートドレイン電位発生回路103の出力であるセルドレ
イン電位Vmcdは、このNチャネル型トランジスタ1
16のソース電極から出力されることになる。

[0010] 次に、サブアレイドライバ104-0〜1
04-nの回路構成について説明する。このサブアレイ
ドライバ104-0〜104-nは、相互に隣同様の回
路構成を有しており、ここでは代表的にサブアレイドラ
イバ104-nを用いて説明する。サブアレイドライバ
104-nは、図14に示すように、2段のインバータ
ゲート121、122、および2個の二重反転型トラン
ジスタ（以下、「Dトランジスタ」という。）123、
124から構成されている。インバータ121およびイ
ンバータ122は、直列に接続されており、アドレス信
号AnをDトランジスタ123のドレイン電極に供給す
るものである。

【0011】そして、ドトランジスタ123は、書き込み制御信号/PCMによって制御され、インバータ121およびインバータ122を介して入力されたアドレス信号AnをノードN102へ供給するように構成されている。また、ドトランジスタ124は、タイオード構成を成すものであり、カソードとしてのドレイン電極およびゲート電極には、書き込み電位Vpnが印加されており、アノードとしてのソース電極は、ノードN102に接続されている。そして、ノードN102からサブアレイ選択信号線ASLnに対して所定の電位が印加されるように構成されている。

【0012】以上のような構成を有する従来のデータ書き込み回路101の動作について、図15を参照しつつ説明する。まず、所定のメモリアルに対して所定のデータを書き込む場合、アドレス信号A0～A10に従い、サ

ず、結果的にメモリセルMC00に対してHレベルのデータが書き込まれることになる。

【0015】
 【発明が解決しようとする課題】ところで、近年、半導体記憶装置の大容量化を目的として、一つのサブアレイに属するメモリセルを増加させるとともに、サブアレイの数をも増加させる傾向にある。これに伴い各セルソース線 $SL_0 \sim SL_m$ が延長されることになり、かかるセルソース線 $SL_0 \sim SL_m$ の寄与成分の増加につながるようになる。このように、セルソース線 $SL_0 \sim SL_m$ によって生じる寄与成分は、以下の問題をもたらすおそれがあった。

【0016】所定のメモリセル、例えば、サブアレイS₁A₀0に属するメモリセルMC000に対してHレベルのデータが書き込まれる際、そのメモリセルMC000に対応するワード線WL0に接続されている他のメモリセルMC001～MC00mに対して本実施例では、Hレベルのデータが書き込まれる場合があった。前述したように、メモリセルMC001～MC00mに対応するセルソース線ST₁～ST_mがオフであり、セルソース線SL₁～SL_mがフローティング状態とされているものの、セルソース線SLC₀1～SLC₀mの容量成分が大きいためにメモリセルMC001～MC00mを構成する各トランジスタに過剰的な電流が流れてしまい、この電流によって、アパランジェンタが生じ、メモリセルMC001～MC00mを構成するトランジスタのフローティングゲートに対してホットエレクトロンが注入され、スレショルド電圧が上昇し、また動作低電圧電圧V_{cc}minが上昇するなどして、結果的にメモリセルMC001～MC00mに対して書き込まれるべきではないレベルのデータが書き込まれるおそれがあった。

【0017】以上のような現象は、所定のメモリセル、例えばメモリセルMC00に対して11レベルのデータを書き込ん混合であってと同様に起こり得た。すなわち、この場合、制御信号D11によってトランジスタ105～SELmがフロートされており、全てのセルソース線SL0～SELmがプルアップされているもの、セルソース線SL0～SELmの容量は分かちがたくともにメモリセルMC00～MC0mを構成する各トランジスタに過渡的な電流が流れてしまう。この電流によって、本来、11レベルのデータが書き込まれるメモリセルMC00に対して、11レベルのデータが書き込まれてしまい、さらにその他のメモリセルMC01～MC0mに対して書き込まれるべきでは無い11レベルのデータが書き込まれるおそれがあった。

【0018】本発明は、上記のような問題点に鑑みてなされたものであり、その目的は半導体記憶装置の容量増大を目的としてメモリセルの増加があった場合であっても、選択されるメモリセルに対して所定のデータを安定的に書き込むとともに、選択されていないメモリセルに

対して誤ったデータが書き込まれることのない新規かつ改良されたデータ書き込み回路を提供することにある。

{0019}

・【課題を解決するための手段】上記課題を解決するためには、メモリセルへの所定のデータの書き込みの際に、メモリセルを構成する第1電樹電位発生回路に対して所定の電位を供給する第1電樹電位発生回路を備えたデータ書き込み回路が提供される。そして、このデータ書き込み回路に備えられた第1電樹電位発生回路は、請求項1に記載のように、所定の電位の立ち上がり時間を遅延させると同時に、所定の電位を生成する、かかる構成とされる。また、メモリセルを構成するトランジスタの第2電極に寄生した容量成分が形成される場合であっても、第1電樹に所定の電位が急激に印刷されることはなく、メモリセルに対する過渡的な電流の流入を防止することが可能となる。この過渡的な電流は、データの書き込みがなされないメモリセルに対してデータの誤読を生じさせるものであるために、本発明によれば、誤読の少ないデータ書き込み回路が実現されることになる。

【0020】そして、請求項1に記載のデータ書き込み回路において、請求項2に記載のように、第1電極電位発生回路は、メモリセル毎所定のデータを書き込む際にデータ書き込み電位を準備し、遅延回路は、このトラランジスタを制御する制御信号を遅延回路3に送るよう構成することが可能である。また、請求項3に記載のように第1電極電位発生回路は、メモリセル毎に所定のデータを書き込む際にデータ書き込み電位を出力力するトラランジスタを準備し、遅延回路は、トラランジスタから出力される前記データ書き込み電位の立ち上がり時間を遅延させるよう、遅延回路を簡易な回路構成、例えば抵抗素子、容量素子などで構成することが可能となり、データ書き込み回路の規模増大を抑えることが可能である。

【0021】さらに、上記の問題を解決するために、複数のメモリセルから成るメモリセルアレイと、複数のメモリセルへの所定のデータの書き込みの際に、複数のメモリセルを構成する第1電極位供給トランジスタとを、メモリセルを構成する第1電極位供給トランジスタとを、第1電極位供給トランジスタを制御する制御回路とを、備えたデータ書き込み回路が提供される。そして、このデータ書き込み回路に備えられた制御回路は、請求項4に記載のように、第1電極位供給トランジスタの動作を制御する制御回路の出力を遅延させた逆進回路を備えたことを特徴とする、かかる構成によれば、メモリセルを構成するトランジスタの第2電極側に帯生的に容量成分

分が形成された場合であっても、第1電極電位供給回路とレジスタの動作によって第1電極に対して所定の電位を漸次印加することが可能となり、メモリセルへの過渡的な電流の流れ込みの防止が可能となる。この過渡的な電流は、データの書き込みがなされないメモリセルに対して

て、データの誤傳達を生じさせるものであるために、本発明によれば、誤傳達の少ないデータ借き込み回路が実現されることになる。

【0022】さらに請求項4に記載のデータ書き込み回路上に与えられた制御信号に対して、請求項5に記載のよう
に、所定の信号によって制御電圧を所定のレベルに固
定する電位レベル固定手段を設けるようにしてもよい。
かかる構成によれば、第1電極電位供給トランジスタの
動作を制御する制御電位の初期レベルが一定とされるた
り、制御電位による第1電極電位供給トランジスタの動
作が安定化され、メモリアルを構成するトランジスタの
第1電極への所定の電位の印加にかかる時間を任意の値
に調整することが可能となる。そして、請求項6に記載
のように所定の信号は、複数のメモリアルへの所定のデ
ータの書き込みの際にアクティブとなるワンショットパ
ルス信号としてもよく、また、複数のメモリアルへの所
定のデータの書き込みが禁止されている間アクティブと
なる信号とすることも可能である。

【0023】
【発明の実施の形態】以下に添付図面を参照しながら、本発明にかかわる好適な実施の形態について詳細に説明する。なお、以下の説明において、略同一の機能および構成を有する諸要素については、同一符号を付することにより、重複説明を省略することにする。

【0024】（第1の実施の形態）本発明の第1の実施の形態にかかるデータ書き込み回路1を図1に示す。このデータ書き込み回路1は、従来のデータ書き込み回路の101に対して、セルドレイン電位発生回路103がセルドレイン電位発生回路3に置き換えられた構成を有するものである。

【0025】セルドレイン電位発生回路3は、セルドレイン電位V_{mc}dを各サブアレイS_{Λ0}～S_{Λn}に輸入されたm+1個のセルドレイン線選択トランジスタDTr₀～DTr_mのドレイン電極に対して供給するように構成されている。

【0026】また、各サブアドレスA0～SAnにはサブアドレスA104-0～104-nが接続されており、各サブアドレスA104-0～104-nは、サブアドレス選択信号SL0～ASLnの電位を所定の値に調整する機能を有するものである。

【0027】各サブアレイSA0～SA_nに備えられたメモリセルMC00～MC_nmは、マトリクス状に配置されており、メモリセルMC00～MC_nmを構成するトランジスタの各ゲート電極は、行毎に電気的に共通化され、ワード線WL0～WL_nに接続されている。また、これらの各ドレーン電極は、列毎に電気的に共通化され、セルドレーン線DL0～DL_nに接続されている。さらに、各ソース電極は、列毎に電気的に共通化され、ソース線SL0～SL_nに接続されている。

【0028】各セルソース線SL0～SLmの終端は、

セルソース線選択トランジスタ $STr0 \sim STrm$ のドレイン電極に接続されている。また、セルソース線選択トランジスタ $STr0 \sim STrm$ のソース電極は、電気的に共通化されたトランジスタ 105 のドレイン電極に接続されている。このトランジスタ 105 は、インバータゲート 107 を介して入力された制御信号 Din によってオン/オフ制御可能とされている。そして、セルソース線選択トランジスタ $STr0 \sim STrm$ は、各ゲート電極に入力されたカラム選択信号 $Y0 \sim Ym$ によって所定のゲートが選択される。

【0029】次に、セルドレイン電位発生回路3の回路構成について説明する。このセルドレイン電位発生回路3は、図2に示すように、従来のセルドレイン電位発生回路103に対して、逆還回路5が追加された構成を有するものである。すなわち、1個のPチャネル型トランジスタ11、6個のNチャネル型トランジスタ12、113、114、115、116、117、および、逆還回路5から構成されている。

【0030】Pチャネル型トランジスタ111のソース電極には書き込み電位V_{pp}（例えば、10V）が印加され、ゲート電極にはグラウンド電位GNDが印加され、ドレイン電極は、ノードN1に接続されている。一方、Nチャネル型トランジスタ112、113、114は、直列3段のダイオード結合を構成しており、1段目のカソードにはノードN1が接続され、3段目のアノードには電源電位V_{cc}（例えば、4V）が印加されている。すなわち、Nチャネル型トランジスタ112、113、114は、基帯電位発生回路としての役割を果たすものである。

【0031】ノードN1には、遅延回路5の入力側が接続されており、ノードN1に発生する電位を所定の時間遅延させて出力側（ノードN2）に供給する。この遅延回路5については、低圧素子や容量素子、またはそれらの組み合わせで実現されるいわゆるCR回路により構成される。

【0032】Nチャネル型トランジスタ115は、ダイオード構成を成すものであり、カソードとなるドレイン電極およびゲート電極には書き込み電位V_{pp}が印加されている。また、Nチャネル型トランジスタ117のドレイン電極は、ノードN2に接続されており、ソース電極にはグラウンド電位GNDが印加され、ゲート電極に入力される書き込み制御信号/PGMによって制御可能とされている。Nチャネル型トランジスタ116のゲート電極にはノードN2が接続され、ドレイン電極には、ダイオードのアノードとしてのNチャネル型トランジスタ115のソース電極が接続されている。そして、このセルドレイン電位発生回路103の出力であるセルドレイン電位V_{mc}は、Nチャネル型トランジスタ116のソース電極から出力されることになる。

【0033】ここで、第1の実施の形態にかかるデータ

書き込み回路 1 に聞えられたセルドレイン電位発生回路 3 から出力されるセルドレイン電位 V_{mc} d およびサブアレイドライバ 1 0 4 ~ 1 0 4 - n から出力されるセルドレイン電位 V_{mc} d、およびサブアレイドライバ 1 0 4 ~ 1 0 4 - n に印刷される電位について、図 3 を用いて説明する。なお、図 3 中、実線は第 1 の実施例の形態にかかるデータ書き込み回路 1 におけるセルドレイン電位 V_{mc} d、およびサブアレイ選択読取信号 AS L 、 n の電位を示し、破線は従来のデータ書き込み回路 1 0 1 におけるセルドレイン電位 V_{mc} d を示す。

【0034】書き込み制御信号/PGMがHレベルの時、すなわちデータ書き込み禁止状態の時、Nチャネル型トランジスタ117は、オン状態とされ、これによってNチャネル型トランジスタ116はオフ状態とされ、セルドレイン電位Vmcldは、フローティング状態とされる。

【0035】その後、書き込み制御信号／PGMがレベル、すなわちデータ書き込み状態となった時、ノードN1には、(電圧電位Vcc) + 2x (Nチャネル型トランジスタのスレショルド電圧V_{th}) が印加されることになる。そして、ノードN1における電位の上昇は、遅延回路Sによって所定の時間間隔、Nチャネル型トランジスタ116のゲートに伝達されることになる。このため、セルドレイン電位V_{md} (負値)は、従来(点線)に比べて緩やかに立ち上がることになる。

【0036】このように、第1の実施形態にかかるデータ書き込み回路1によれば、データの書き込み動作開始時に、セルドレイン電位 V_{mcld} が従来のそれよりも段階的に立ち上がるため、セルソース線 $S_{1.0} \sim S_{1.9}$ の容量成分に対して充電が速やかに行われることになる。したがって、充電開始時に発生する過渡電流のピーク値が低減され、選択されないメモリセルにおけるホットエレクトロンの発生を抑制し、結果的に非選択メモリセルへのデータの誤設定が防止されることになる。

【0.03.7】(第2の実施の形態) 第2の実施の形態に
かかるデータ書き込み回路は、従来のデータ書き込み回
路101に対してサブアドレス104~10-10に置き換へ
4-4nがサブアドレス104~4-4nに置き換へ
られ構成を有するものであり、その他の構成は、略同
とされている。

【0038】また、サブアレイドライバ4-0~4-nは、相互に隣接同一の構成を有しており、ここでは、サブアレイドライバ4-nを用いて説明する。このサブアレイドライバ4-nは、図4に示すように、従来のデータ書き込み回路101に換えられたサブアレイドライバ104-nに対して、逆送回路7が追加された構成を有するものである。すなわち、サブアレイドライバ4-nは、2個のインバータゲータ121、122、2個のD-トランジスタ123、124、および逆送回路7から構成されている。インバータ121およびインバータ122

2は、直列に接続されており、アドレス信号AnをDトランジスタ123のドレイン電極に供給するものである。なお、逆送回路7については、底基板や容量素子、またはそれらの組み合わせであるいわゆるC/R回路により構成される。

【0039】そして、Dトランジスタ123は、書き込み制御信号P/GMIによって制御されインバータ121およびインバータ122を介して入力されたアドレス信号名AnをノードN3へ供給するように構成されている。また、Dトランジスタ124は、ダイオード構成を成すものであり、カソードとしてのドレイン電極およびゲート電極には、書き込み電位Vpが印加されており、アノードとしてのソース電極は、返還回路7の入力側に接続されている。この返還回路7の出力側は、ノードN3に接続されている。そして、ノードN3からは、サブアレイ選択信号線ASL0～ASL.nに対して所定の電位が出力されるように構成されている。

【0040】以上の構成を行す第2の実施の形態にかかるデータ書き込み回路の動作、特に特徴的なサブアドレスドライブ4-nに於いて図5に基づいて説明する。このサブアドレスドライブ4-nは、データ書き込み信号線ASLnにおいて、書き込み電位Vppをサブアドレス選択信号線ASLnに対して印加するように構成されている。したがって、サブアドレス選択信号線ASLn（実線）の電位が低レベルであるとき、セルドライバ出力端子DLnの電位（点線）は、従来（点線）に比べて緩やかに立ち上がることになる。一方、サブアドレス選択信号線ASLn（実線）の電位が高レベルであるとき、セルドライバ出力端子DLnの電位（点線）は、（サブアドレス選択信号線ASLnの電位）-（セルドライバ出力端子DLnの寄生容量×駆動電圧）+（セルドライバ出力端子DLnの寄生容量×電源電圧）以上にはならないため、図5に示すようにサブアドレス選択信号線ASLnの電位の立ち上がりに応じて、従来（点線）に比べて緩やかに立ち上がるようになる。

【0.0.4.1】以上のように、第2の実施の形態にかかるデータ書き込み回路によれば、データ書き込み開始直後のサブアレイ選択信号 ASL_n の電位の立ち上がりとともにセルドレイン線 DLn の立ち上がりとともにデータ書き込み直上されるため、第1の実施の形態にかかるデータ書き込み回路1と同様な効果を得られるとともに以下に示す他サブアレイ選択信号 ASL_n の電位の立ち上がりによって、その効果を得られることになる。従来、データ書き込み ASL_n の電位は、比較的信号線 GND に対する電圧の幅は V_{pp} 程度で、サブアレイ選択信号 ASL_n の電位は、全てのメモリセル MC 0.0~ MCn のフローティングゲートに対してホットエレクトロンが注入される原因となり得るものであり、これによるデータの劣化が生じるおそれがあった。かかる問題に關して、第2の実施の形態にかかるデータ書き込み回路によれば、データ書き込み直後のサブアレイ選択信号 ASL_n の電位は線や ASL_{n+1} の立ち上がるようになるため、選択されていないサブアレイに

おける書き込み電位Vppからグラウンド電位GNDに對する電流の流れ込みは低減され、結果的にデータの誤差防止が可能となる。

【00042】ところで、第2の実施の形態にかかるデータ書き込み回路に対して、第1の実施の形態にかかるデータ書き込み回路1に備えられたセルドレイン電位発生回路3を適用することが可能である。この場合のデータ書き込み回路の動作について図6に基づいて説明する。

【00043】ここで、セルドレイン電位発生回路3に備えられた遅延回路5およびサブアレイドライバ8～nに備えられた遅延回路7より、データ書き込み直後のセルドレイン電位Vmc dの立ち上がり時間をサブアレイ選択信号ASLnの電位の立ち上がり時間と比べて短くなるように設定する。この調整によって以下の効果をもたらされる。

【00044】かかる調整がなされた場合のサブアレイ選択信号ASLnの電位およびセルドレイン線DLnの電位の特徴を図6に示す。セルドレイン線DLnの電位は、セルドレイン電位Vmc dが（選択信号ASLnの電位）－（セルドレイン線選択トランジスタDr0～Dr mのスレショルド電圧）に達するまでセルドレイン電位発生回路3によって制御され、それを以上になるとサブアレイドライバ8～nによって制御されることになる。すなわち、セルドレイン線DLnの電位の立ち上がり時間を2段階に調整することが可能となる。具体的に、まずメモリセルMC00～MCnmにおいてホットエレクトロンが生成されずフローティングゲートへの注入が起きるまではセルドレインDLnの電位の立ち上がりを時間を短くし、その後アバランシェンシ降伏が生じる直前から緩やかに立ち上げることとなる。かかる調整によれば、メモリセルMC00～MCnmに對して、データの誤差防止が防止されるとともに、データの書き込み速度の高速化にも貢献することになる。

【00045】（第3の実施の形態）第3の実施の形態にかかるデータ書き込み回路は、従来のデータ書き込み回路101に對してサブアレイドライバ8～nに置き換えられた構成を有するものであり、その他の構成は、略同一とされている。

【00046】また、サブアレイドライバ8～nは、相互に略同一の構成を有しており、ここでは、これらの構成・機能についてサブアレイドライバ8～nを用いて説明する。このサブアレイドライバ8～nは、サブアレイドライバ4～nに對して、インバータゲート121がNANDゲート9に置き換えられた構成を有するものである。すなわち、サブアレイドライバ8～nは、図7に示すように、NANDゲート9、インバータゲート122、2個のドランジスタ123、124、および遅延回路7から構成されている。

【00047】NANDゲート9の一方の入力端子には、

込みは、より確実に防止され、データの誤差防止が防止されることになる。

【00051】ところで、上述のサブアレイドライバ8～nにおいて、NANDゲート9に入力されるプリセット信号PRSTに代えて、図9に示すように、書き込み禁止信号/PINIを用いるようにしてもよい。この書き込み禁止信号/PINIは、半導体記憶装置に對してデータの書き込みが禁止されている間は、1レベルとされる信号であり、これによってサブアレイ選択信号ASLnの電位は、データの書き込みが禁止されている間グラウンド電位GNDに保持されることになる。その後、データの書き込みが開始されたときにサブアレイ選択信号ASLnの電位、およびそれに伴ってセルドレイン線DLnの電位は、緩やかに立ち上がっていくことになる。したがって、選択されていないメモリセルへのデータの誤差防止が防止されることになる。また、サブアレイドライバ8～nに對して、書き込み禁止信号/PINIを適用することによって、サブアレイ選択信号ASLnの電位の立ち上がり開始がデータ書き込み開始に一致することになるため、データ書き込みに割り当てられる時間を有効に利用することが可能となる。

【00052】（第4の実施の形態）第4の実施の形態にかかるデータ書き込み回路は、従来のデータ書き込み回路101に對して、セルドレイン電位発生回路103がセルドレイン電位発生回路11に置き換えられた構成を有するものである。

【00053】以下、セルドレイン電位発生回路11について、図11を参照しつつ説明する。セルドレイン電位発生回路11は、従来のデータ書き込み回路101に備えられたセルドレイン電位発生回路103に對して、遅延回路13が追加された構成とされている。すなわち、1個のPチャネル型トランジスタ111、6個のNチャネル型トランジスタ112、113、114、115、116、117、および遅延回路13から構成されている。なお、セルドレイン電位発生回路11に備えられた遅延回路13については、抵抗素子や容量素子、またはそれらの組み合わせであるいわゆるCR回路により構成される。

【00054】Pチャネル型トランジスタ111のソース電極には書き込み電位Vpp（例えば、10V）が印加され、ゲート電極にはグラウンド電位GNDが印加され、ドレイン電極は、ノードN11に接続されている。一方、Nチャネル型トランジスタ112、113、114は、直列3段のダイオード結合を構成しており、1段目のカソードにはノードN11が接続され、3段目のアノードには電源電位Vcc（例えば、4V）が印加されている。すなわち、Nチャネル型トランジスタ112、113、114は、基準電位発生回路としての役割を果たすものである。

【00055】Nチャネル型トランジスタ115は、ダイ

オード構成を成すものであり、カソードとなるドレイン電極およびゲート電極には書き込み電位Vppが印加されている。また、Nチャネル型トランジスタ117のドレイン電極は、ノードN11に接続されており、ソース電極にはグラウンド電位が印加され、ゲート電極に入力される書き込み制御信号/PGMによって制御可能とされている。Nチャネル型トランジスタ116のゲート電極にはノードN11が接続され、ドレイン電極には、ダイオードのアノードとしてのNチャネル型トランジスタ115のソース電極が接続され、ソース電極には、遅延回路13の出力電位が接続されている。そして、このセルドレイン電位発生回路11の出力、すなわちセルドレイン電位Vmc dは、遅延回路13の出力側から出力されることになる。

【00056】以上の構成から成る第4の実施の形態にかかるデータ書き込み回路は、第1の実施の形態にかかるデータ書き込み回路1が有する効果の他、次の効果を有する。第1の実施の形態にかかるデータ書き込み回路1に備えられたセルドレイン電位発生回路3の場合、遅延回路5がNチャネル型トランジスタ116のゲート電極に接続されているが、第4の実施の形態にかかるデータ書き込み回路に備えられたセルドレイン電位発生回路11の遅延回路13は、Nチャネル型トランジスタ13のソース電極に接続されている。したがって、第4の実施の形態にかかるデータ書き込み回路によれば、Nチャネル型トランジスタ11は、データの書き込み動作が終了するタイミングに同期して書き込み電位Vppにあるセルドレイン電位Vmc dをフローティング状態とすることになる。かかる動作によって、書き込み電位Vppから各サブアレイSA0～SA nに對する貫通電流を低減させることが可能となり、第4の実施の形態にかかる形態にかかわらず、第4の実施の形態に寄与することになる。

【00057】以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範囲内において各種の変形例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【00058】例えば、第1の実施の形態にかかるデータ書き込み回路に對して、サブアレイドライバ4～nに置き換えられたサブアレイドライバ8～nを用いることも可能であり、また第4の実施の形態にかかるデータ書き込み回路において、セルドレイン電位発生回路11に對して、サブアレイドライバ4～nに置き換えられたサブアレイドライバ8～nを適用することも可能である。

【00059】

【発明の効果】以上説明したように、本発明によれば、メモリセルに對するデータの書き込み開始時において、

所定のデータを書き込むメモリセル以外のメモリセルにおけるアバランシェ降伏現象を防止することが可能となり、かかるメモリセルに対するデータの誤書込が防止される。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態にかかるデータ書き込み回路の回路図である。

【図2】図1のデータ書き込み回路に備えられたセルドレイン用発生回路の回路図である。

(図3) 図1のデータ書き込み回路の動作を示す波形図である。

(図4) 本発明の第2の実施の形態にかかるデータ書き込み回路に備えられたサブアドレスライダの回路図である。

【図5】本発明の第2の実施の形態にかかるデータ書き込み回路の動作を示す波形図である。

【図6】本発明の第2の実施の形態にかかるデータ書き込み回路の他の動作を示す波形図である。

【図7】本発明の第3の実施の形態にかかるデータ書き込み回路に備えられたサブアドレスライパの回路図である。

【図8】本発明の第3の実施の形態にかかるデータ書き込み回路の動作を示す波形図である。

〔図9〕本発明の第3の実施の形態にかかるデータ書き込み回路に備えられたサブアドレスライパの回路図である。

【図10】本発明の第3の実施の形態にかかるデータ書き込み回路の他の動作を示す波形図である。

【図11】本発明の第4の実施の形態にかかるデータ書き込み回路に備えられたサブアレイドライバの回路図である。

(図12)従来のデータ書き込み回路の回路図である。
(図13)図12のデータ書き込み回路に備えられたセ
ルドレイン電位発生回路の回路図である。

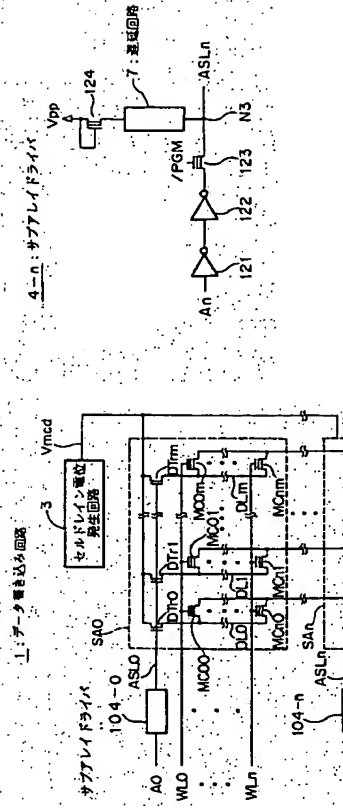
【図14】図12のデータ書き込み回路に備えられたサブアレイドライバの回路図である。

【図15】図12のデータ書き込み回路の動作を示す波形図である。

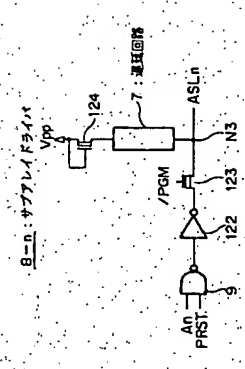
【符号の説明】

【符号の説明】

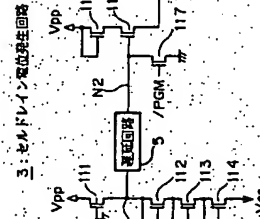
- 1 データ書き込み回路
3 セルドレイン電位発生回路
4-n サブアレイドライバ
8-n サブアレイドライバ
11 セルドレイン電位発生回路
Vmc d セルドレイン電位
ASLn サブアレイ選択信号線
DLm セルドレイン線
SLm セルソース線
DT rm セルドレイン線選択トランジスタ
Dtnm セルソース線選択トランジスタ
S in 制御信号
An アドレイン信号



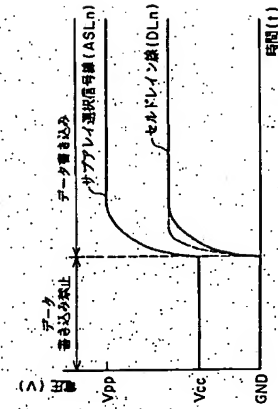
【图7】



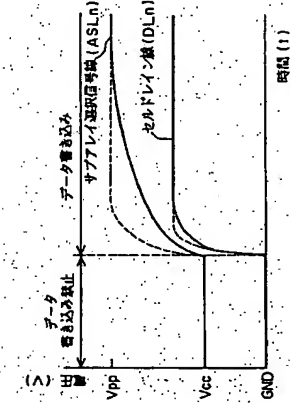
【图2】



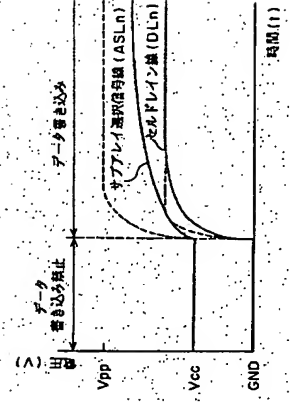
【图3】



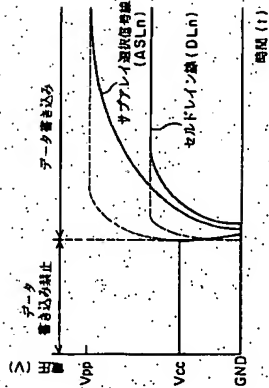
【図5】



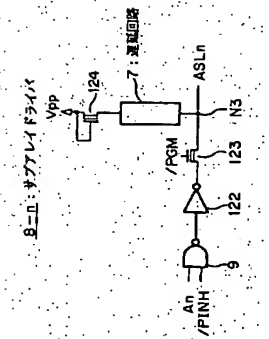
[图6]



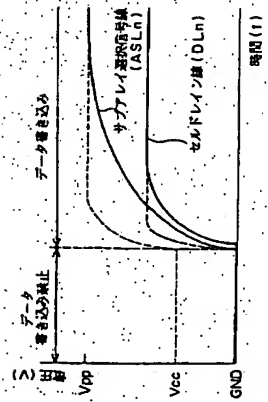
【図8】



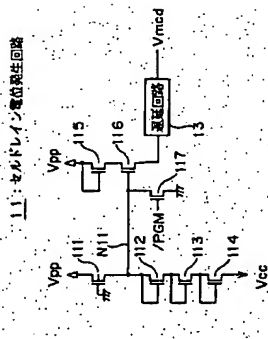
【図9】



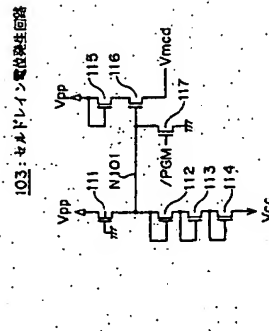
【図10】



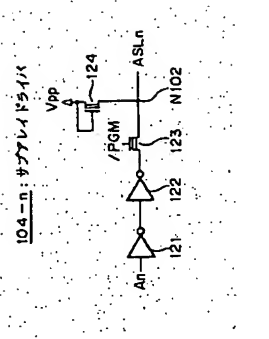
【図11】



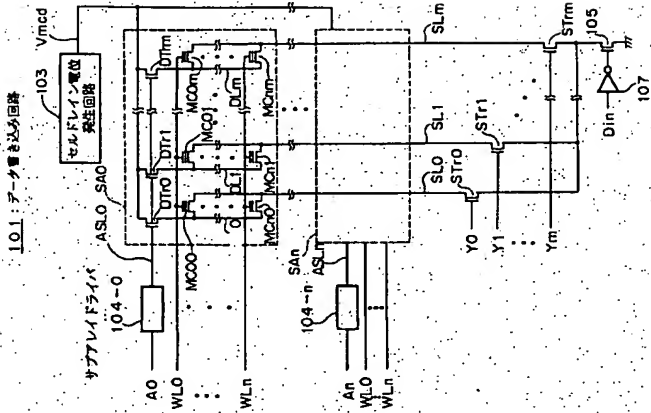
【図13】



【図14】



【図12】



【図15】

